

DOKUMENTATION GATE-ARRAY EP200

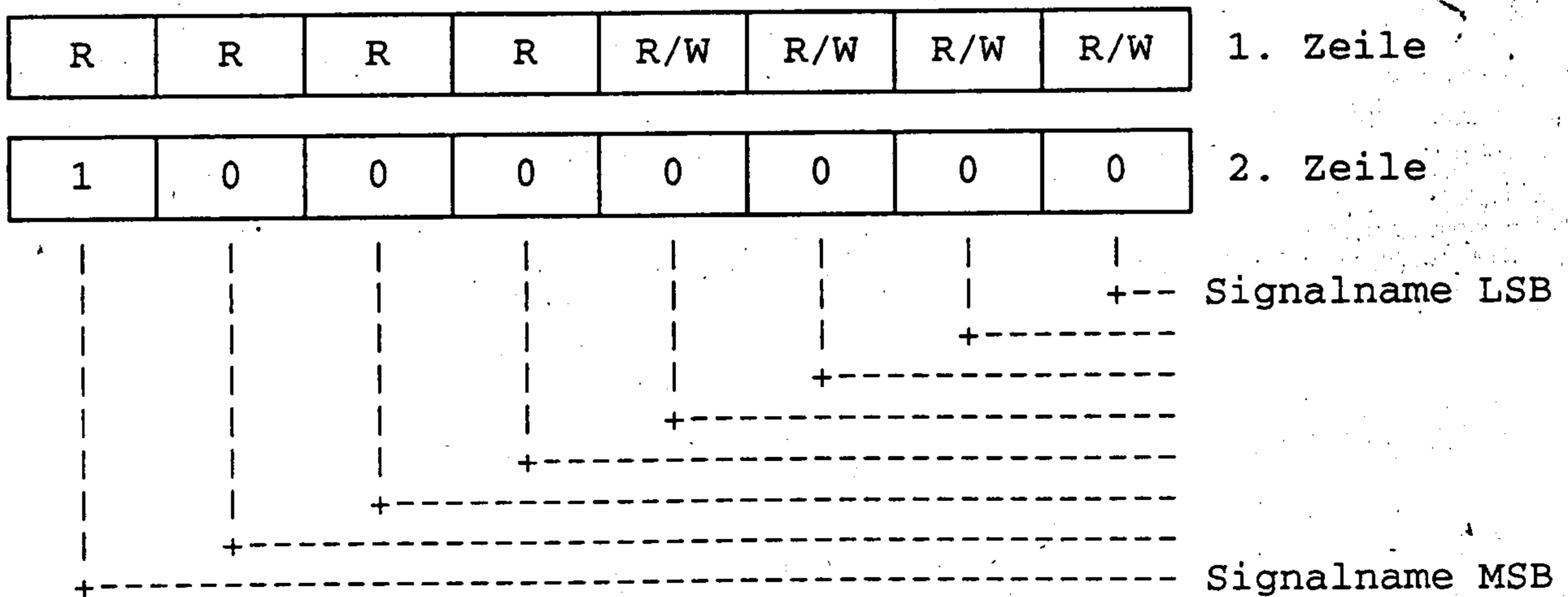
HI/ZLV N:\PROJ\EP200\INFO\GATEAR.TXT

5. REV. 22.07.91

1.	ALLGEMEINES.....	1
1.1	Register und Adressen der Funktionsblöcke.....	2
1.2	Gegenüberstellung ALT - NEU.....	3
2.1	CSL.....	6
2.2	CSLXI.....	6
2.3	BARKER.....	7
2.4	RXT.....	8
2.5	TXT.....	10
2.6	Bitshift.....	13
2.7	Flank.....	15
2.8	Freq.....	16
2.9	PARA.....	18
2.10	I2C.....	19
2.11	TAKT.....	21
2.12	INTL.....	24
2.13	PARATEST.....	25
3.	Pinning.....	26

1. ALLGEMEINES

In den Kapiteln 2.3. - 2.12. ist die Registerbeschreibung wie folgt zu interpretieren:



- | | | |
|----------|-----|---|
| 1. Zeile | R | Bit kann nur gelesen werden |
| | R/W | Bit kann gelesen und beschrieben werden |
| 2. Zeile | 0 | nach Reset wird das Bit als "0" gelesen |
| | 1 | nach Reset wird das Bit als "1" gelesen |

1.1 Register und Adressen der Funktionsblöcke

<u>Register</u>	<u>Adresse</u>
BARKER/PARA3	E006
RXT_STAND_LOW	E014
RXT_STAND_HIGH	E015
RXT_KORR_LOW	E016
RXT_KORR_HIGH	E017
TXT_STAND_LOW	E010
TXT_STAND_HIGH	E011
TXT_KORR_LOW	E012
TXT_KORR_HIGH	E013
FRAME_REG	E00A
REG0	E01C
REG1	E01D
BITSHIFT/PARA4	E01E
FLANKENDATEN_LOW	E018
FLANKENDATEN_HIGH	E019
FREQ_LOW	E00C
FREQ_HIGH	E00D
PARA6	E00E
PARA	E000
I2C_DATA	E002
I2C_STATUS	E003
TAKT/PARA1	E001
TAKT/PARA2	E01A
INT_BITS	E008
DEL_INT_BITS	E009
PARATEST	E004 oder E005

Änderungen gegenüber der Vorgängerversion

Die Register und deren Adresen, **FFSK/PARA5** (E004 oder E005) und **CC_Para** (E007), gibt es nicht mehr.

NEU: PARATEST

1.2 Gegenüberstellung ALT - NEU

ALT

NEU

Funktionsblock RXT
Register: RXT_STAND_HIGH
Adresse: E015

CLK_ENA D(7) war R(eadonly)
RXT_INT_ENA D(3) war R

CLK_ENA Bit D(7) jetzt R/W
RXT_INT_ENA D(3) jetzt R/W

Funktionsblock Bitshift
Register: BITSHIFT/PARA4
Adresse: E01E

N4xC3z Bit D(0)

entfallen

Funktionsblock FREQ
Register: PARA6
Adresse: E00E

FREQ_REF_ENA D(4)

entfallen

Namensumbenennung folgender Steuerbits

FREQ_REF_ENA D(0)
FREQ_MOD_ENA D(1)

ENA450KHZ D(0)
ENA35MHZ D(1)

Funktionsblock PARA
Register: PARA
Adresse: E000

NFEIN D(0)
AIC_RSTZ D(1)
AIC_MCLK_ENA D(2)
:
FREQ_MOD_ON D(6)
FREQ_IF_ON D(7)

entfällt, NEU UNIV1 D(0)
entfällt, NEU UNIV2 D(1)
entfällt, NEU UNIV3 D(2)
:
entfällt, NEU UNIV4 D(6)
entfällt, NEU UNIV5 D(7)

Funktionsblock TIGA_LOGIK/FFSK
Register: PARA5
Adresse: E004 oder E005

DATEN D(0)
VALID
FFSK_1200
VALIDS
SYNCSIG
D1_
LOG_SYNC
H1G D(7)

Der gesamte Funktionsblock mit
Register und Steuerbits
entfällt!!

Funktionsblock PARATEST
Register: PARA1
Adresse: E004 oder E005

Neuer Funktionsblock

CTRL0/ENAE2PROMz D(3) R/W
CTRL1/TERMOUT D(4) R/W

Funktionsblock I2C
Register: I2C_STATUS
Adresse: E003

I2C_INT_ENA D(4) war W

I2C_INT_ENA D(4) jetzt R/W

Funktionsblock TAKT
Register: PARA1
Adresse: E001

DSPANLAUFZ	D(0)		FREQ_REF_OFF	D(0)
COMBOT_OFF	D(1)*		DSP_CLK_OFF	D(1)
COMBOR_OFF	D(2)*		DSP_ANLAUFZ	D(2)
C3_N4z	D(3)*		NEU: COMBO1_ENA	D(3)
DSP_TAKTABSCHALT	D(4)		NEU: COMBO2_ENA	D(4)
DSP_TAKTSPERRENA	D(5)*		jetzt T_96_1056ZN	D(5)
REF_FREQ_AUS	D(6)		NEU: TBO96Z	D(6)
LK_20MHZ_AUS	D(7)*		NEU: TBO10Z	D(7)

Die mit *) gekennzeichneten Steuerbits existieren in der neuen Version nicht mehr !!

Funktionsblock TAKT
Register: PARA2
Adresse: E01A

V25_DSP_IRQA	D(0)*	jetzt CC_CLK_ENA	D(0) (CC_PARA)
V25_DSP_IRQB	D(1)*	jetzt SELCC_CLKEXT	D(1)_____:
T_T96_1056z	D(2)**	NEU CCIOVCC_ENA	D(2)
FFSK_ENA	D(3)*	NEU SEL_TERM	D(3)
TAKT_TEST	D(4)*	NEU CCRST_ENA	D(4)
UNIVERSAL	D(5)*	NEU TEST	D(5)
D(6)*		NEU Identifik.1	D(6)
D(7)*		NEU Identifik.2	D(7)

) *Diese Steuerbits fallen in der neuen Version weg !!

) **TXT96_1056z jetzt in PARA1 D(5)

Funktionsblock TAKT
Register: CC_PARA
Adresse: E007

Dieser Funktionsblock u. Register existiert nicht mehr in der neuen Version, zwei Steuerbits { D(0), D(1) } befinden sich jetzt in dem Register PARA2 !!

CC_CLK_V25_GAZ	D(0)	neuer Name: SELCC_CLKE_T D(1) in PARA2
CC_CLK_ENA	D(1)	CC_CLK_ENA in PARA2 D(0)
BCLK_ENA	D(2)	entfällt
MCLK_ENA	D(3)	entfällt

2.1. CSL

Funktionsbeschreibung

Der Block CSL generiert die folgenden externen Chipselects:

CS_SRAM	(00000)hex	-	(07FFF)hex	
CS_E2PROM	(08000)hex	-	(0BFFF)hex	
CS_DAPHEN	(0C000)hex	-	(0CFFF)hex	
CS_DAC	(0D000)hex	-	(0DFFF)hex	
CS_GATE	(0E000)hex	-	(0EFFF)hex	(interner Chipselect)
CS_RES1	(40000)hex	-	(47FFF)hex	
CS_EPROM	(80000)hex	-	(FFFFF)hex	

Änderung gegenüber der Vorgängerversion

während RESETZ=L sind alle externen Chipselects sowie das Signal DACXWRZ=H (disable).

Durch Setzen des Bits CTRL0 D(3) im Funktionsblock PARATEST (2.13) wird der Chipselect für das E2PROM über ENAE2PROMZ gesperrt. Nach Reset ist der Chipselect freigegeben.

2.2. CSLXI

Der Block CSLXI dekodiert die internen Chipselects für die Register im Gate-Array aus. (vgl. Anhang)

2.3. BARKER

Funktionsbeschreibung
Barkercoderkennung

Registerbeschreibung

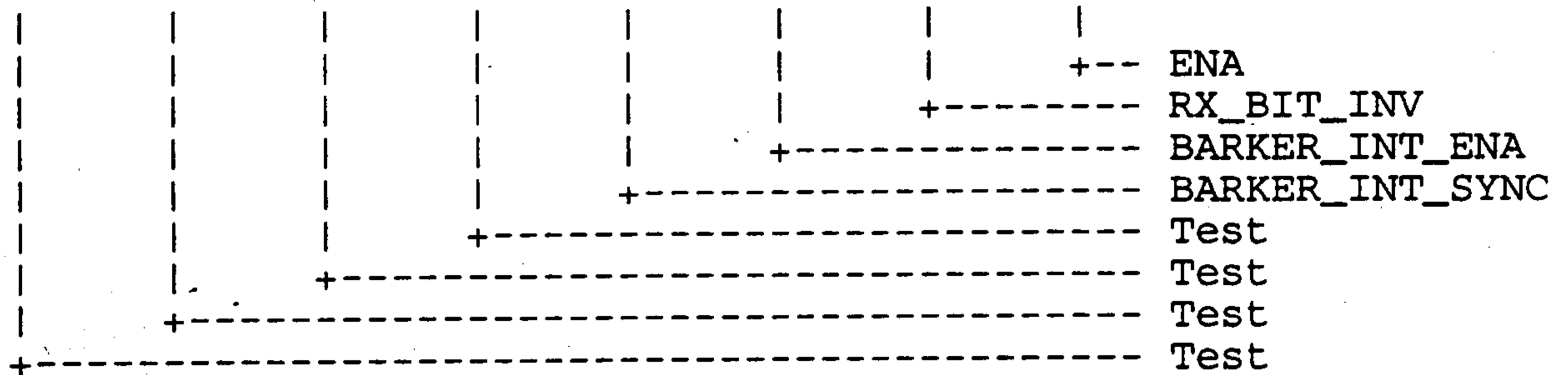
Register : BARKER/PARA3 - SEL_BARKER

Adresse : E006

Kurzbeschreibung : Parameter-Register Barker

R	R	R	R	R/W	R/W	R/W	R/W
---	---	---	---	-----	-----	-----	-----

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



ENA = 0 Schiebefunktion gesperrt
= 1 Schiebefunktion freigegeben

RX_BIT_INV = 0 RX_BITWERT wird nicht invertiert
= 1 RX_BITWERT wird invertiert

BARKER_INT_ENA = 0 Barker-Interrupt gesperrt
= 1 Barker-Interrupt freigegeben

BARKER_INT_SYNC = 0 zu EMPFCLK synchroner Interrupt
= 1 zu EMPFCLK asynchroner Interrupt

2.4. RXT

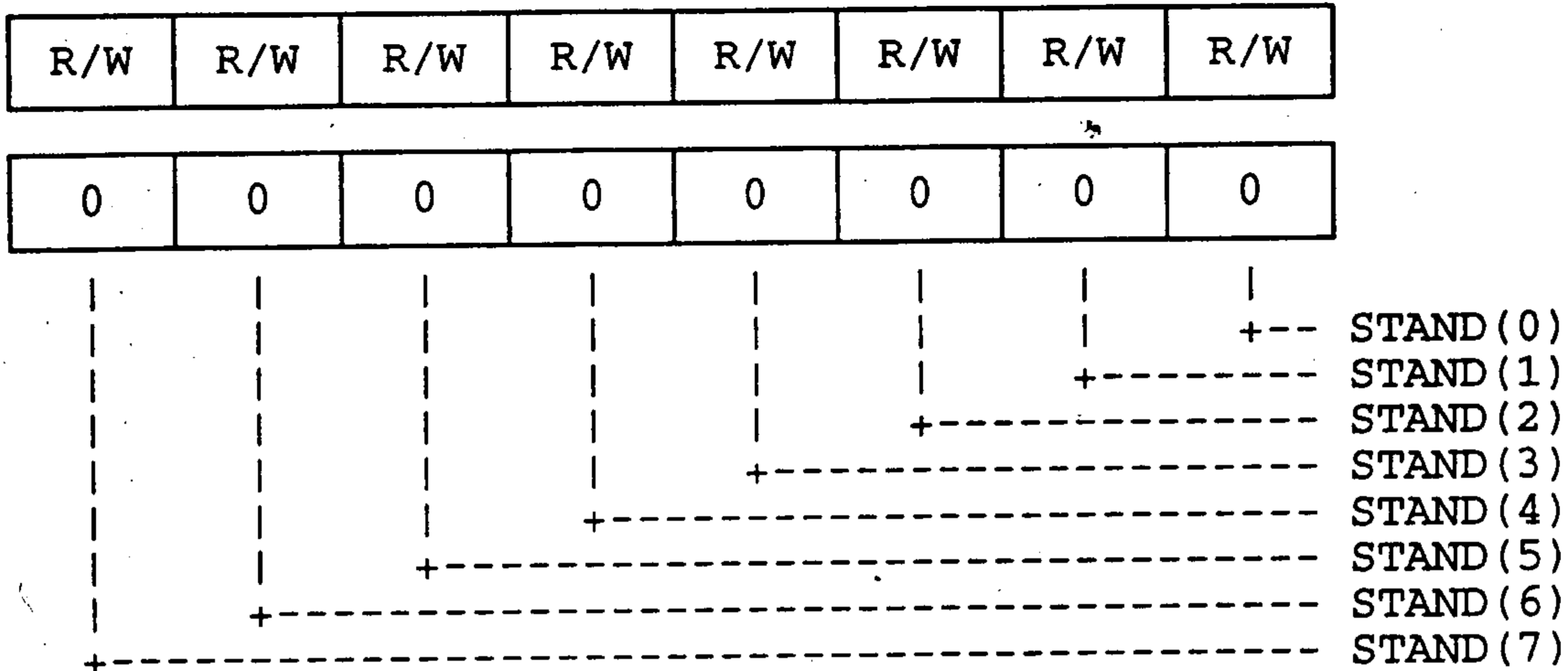
Funktionsbeschreibung:

11bit Zähler, zählt bis FF, Start- und Korrekturwert kann festgelegt werden. Erzeugt Empfangsclock und -Interrupt

Register : RXT_STAND_LOW - RXT_STAND_LOW

Adresse : E014

Kurzbeschreibung : Low-Byte des Standardladeregisters STAND(10:0)



Register : RXT_STAND_HIGH - RXT_STAND_HIGH

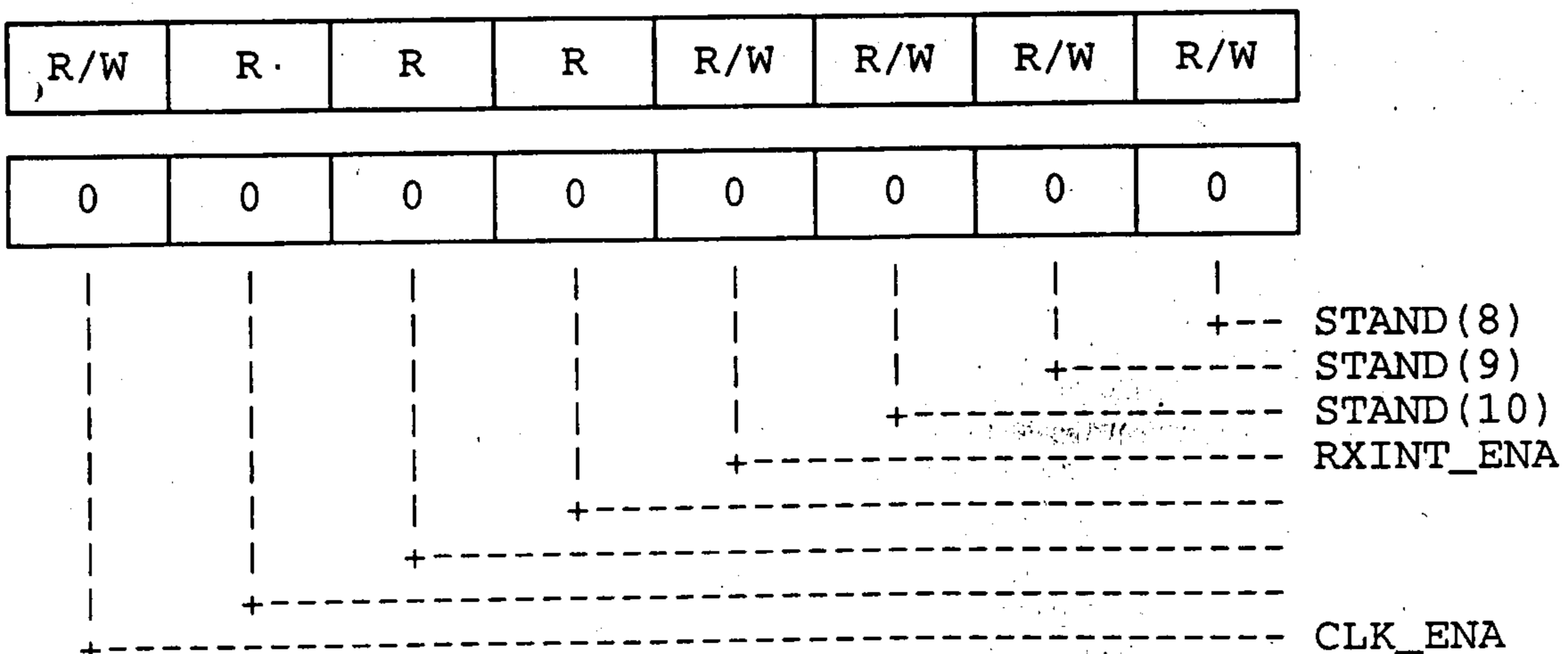
Adresse : E015

Kurzbeschreibung : High-Byte des Standardladeregisters STAND(10:0)
Ein-/Abschalten des Clocks
Sperrern/Freigabe des Empfangsinterrupts

Änderung gegenüber der Vorgängerversion:

CLK_ENA (D7) und RXT_KORR_ENA sind jetzt R/W!

ACHTUNG: früher - Dauer-INT anstehend
jetzt - RX_INT kommt passend



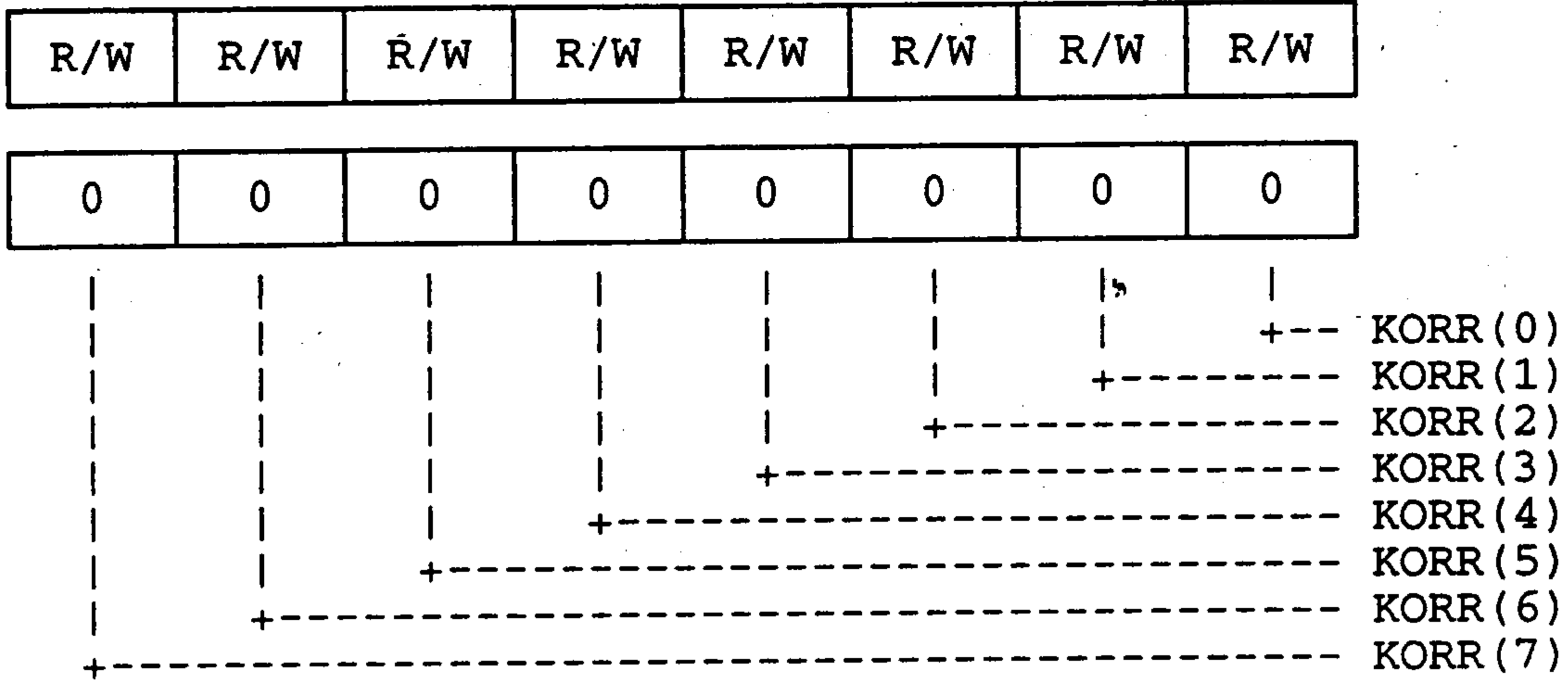
RXINT_ENA = 0 Empfangsinterrupt gesperrt
= 1 Empfangsinterrupt freigegeben

CLK_ENA = 0 Clock abgeschaltet
= 1 Clock eingeschaltet

Register : RXT_KORR_LOW - RXT_KORR_LOW

Adresse : E016

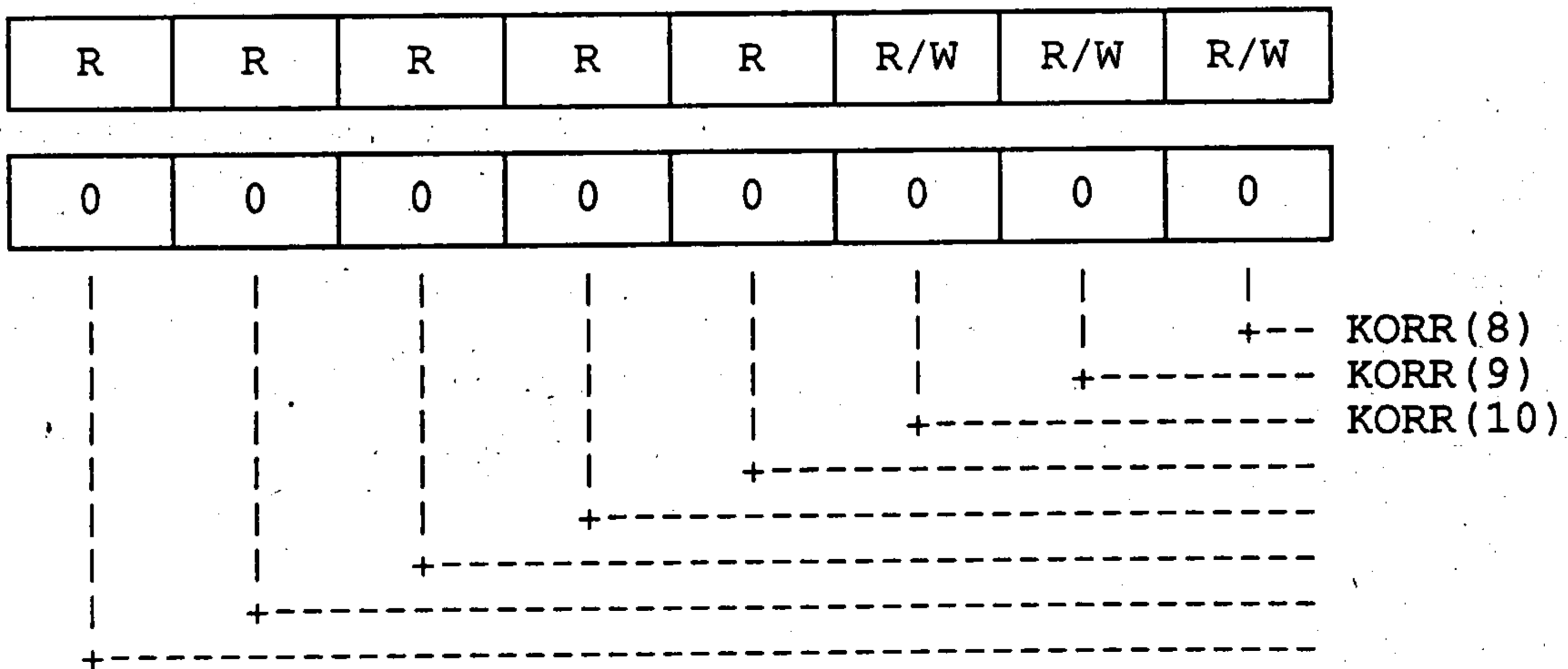
Kurzbeschreibung : Low-Byte des Korrekturladeregisters KORR(10:0)



Register : RXT_KORR_HIGH - RXT_KORR_HIGH

Adresse : E017

Kurzbeschreibung : High-Byte des Korrekturladeregisters KORR(10:0)



2.5. TXT

Funktionsbeschreibung

11bit Zähler, erzeugt Sendeclock und Interupt.

Änderung gegenüber der Vorgängerversion

Das im Block TXT erzeugte Signal TXCLK wurde zeitlich verlängert:

TXCLK_alt 1*T T=1/5.7024 MHz
 TXCLK_neu 4*T

Grund :

Das Signal TXCLK wird im Block TAKT/GATE1 mit der Frequenz 4.25 MHz abgetaktet. Bei einer Zeitdauer für die Highphase von 1*T (T=1/5.7024 MHz) wurde nur jeder 4. Highpulse von TXCLK erfaßt. Anm.: Der Block GATE1 erzeugt die Signale COMBOFSR1 und DSPIRQAZ.

Registerbeschreibung

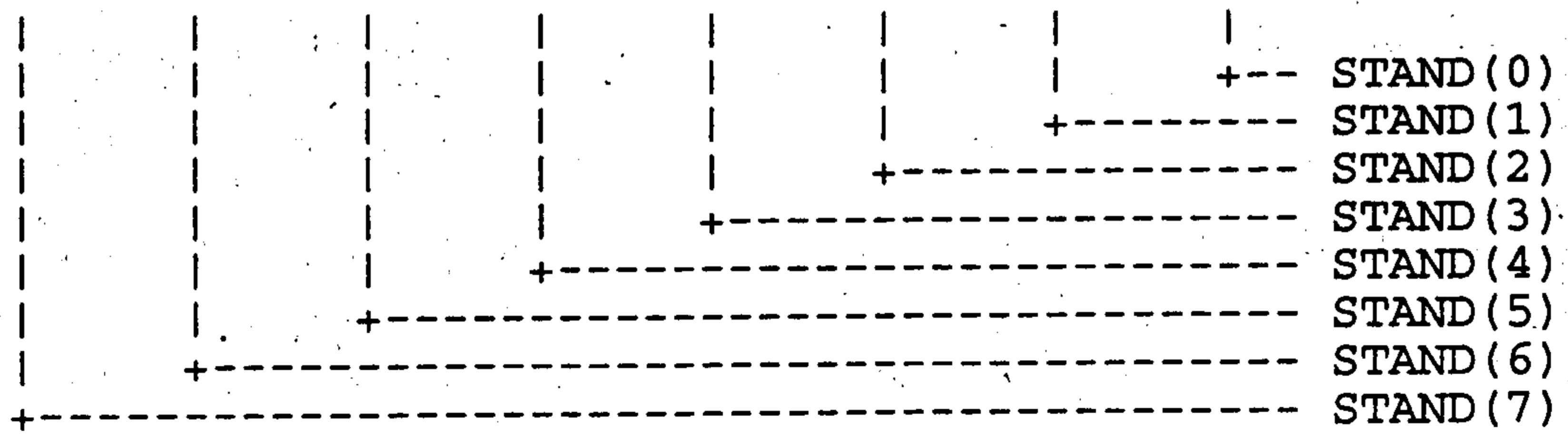
Register : TXT_STAND_LOW - TXT_STAND_LOW

Adresse : E010

Kurzbeschreibung : Low-Byte des Standardladeregisters STAND(10:0)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-----	-----	-----	-----	-----	-----	-----	-----

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



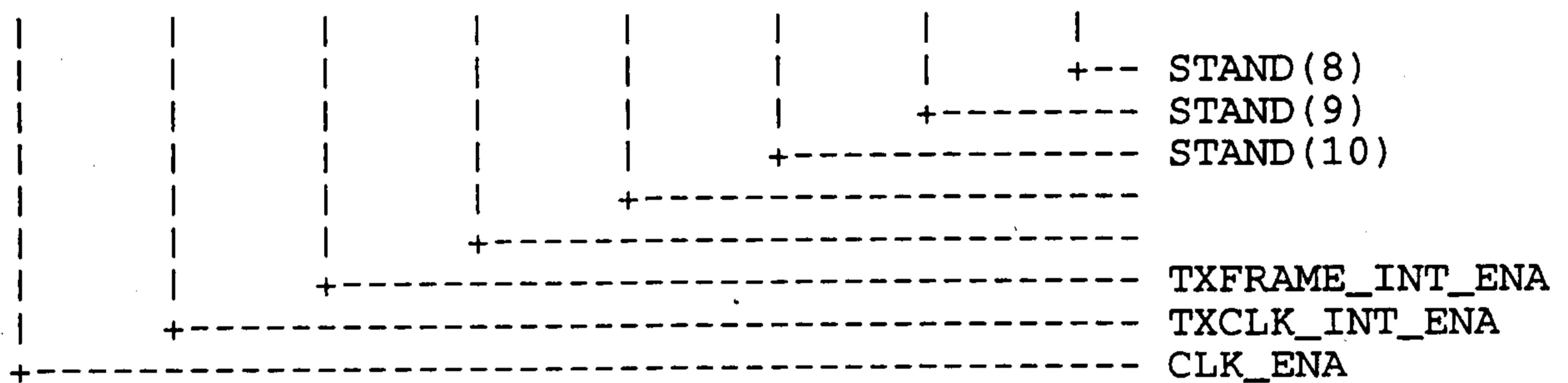
Register : TXT_STAND_HIGH - TXT_STAND_HIGH

Adresse : E011

Kurzbeschreibung : High-Byte des Standardladeregisters STAND(10:0)
 Ein-/Abschalten des Clocks
 Sperren/Freigabe des Empfangsinterrupts

R/W	R/W	R/W	R	R	R/W	R/W	R/W
-----	-----	-----	---	---	-----	-----	-----

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



TXFRAME_INT_ENA = 0 Sendeframeinterrupt gesperrt
 = 1 Sendeframeinterrupt freigegeben

TXCLK_INT_ENA = 0 Sendeclockinterrupt gesperrt
 = 1 Sendeclockinterrupt freigegeben

CLK_ENA = 0 Clock abgeschaltet
 = 1 Clock eingeschaltet

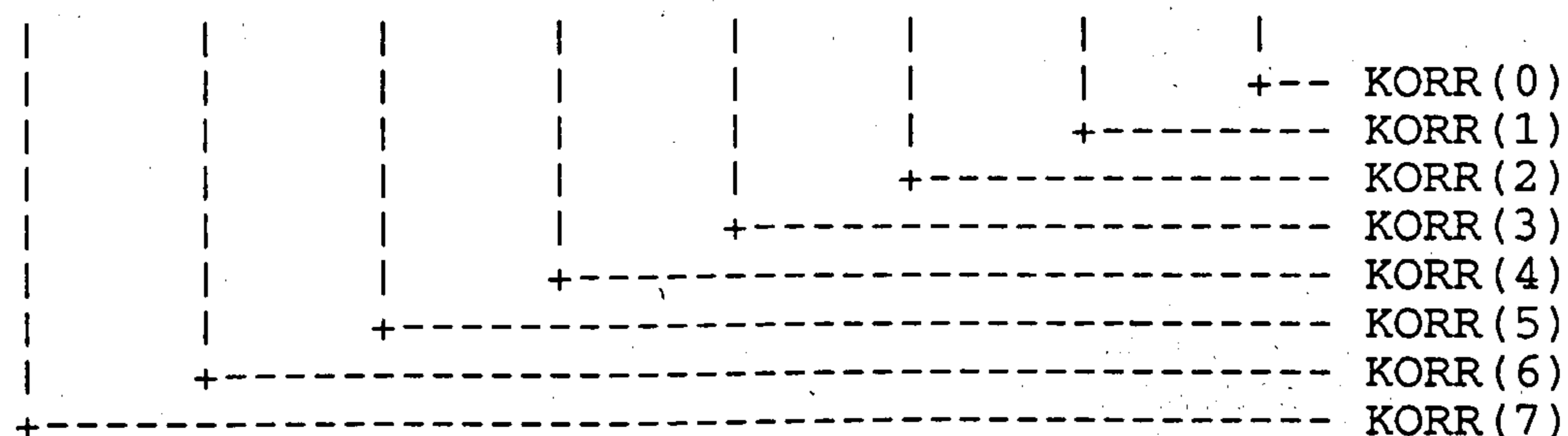
Register : TXT_KORR_LOW - TXT_KORR_LOW

Adresse : E012

Kurzbeschreibung : Low-Byte des Korrekturladeregisters KORR(10:0)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-----	-----	-----	-----	-----	-----	-----	-----

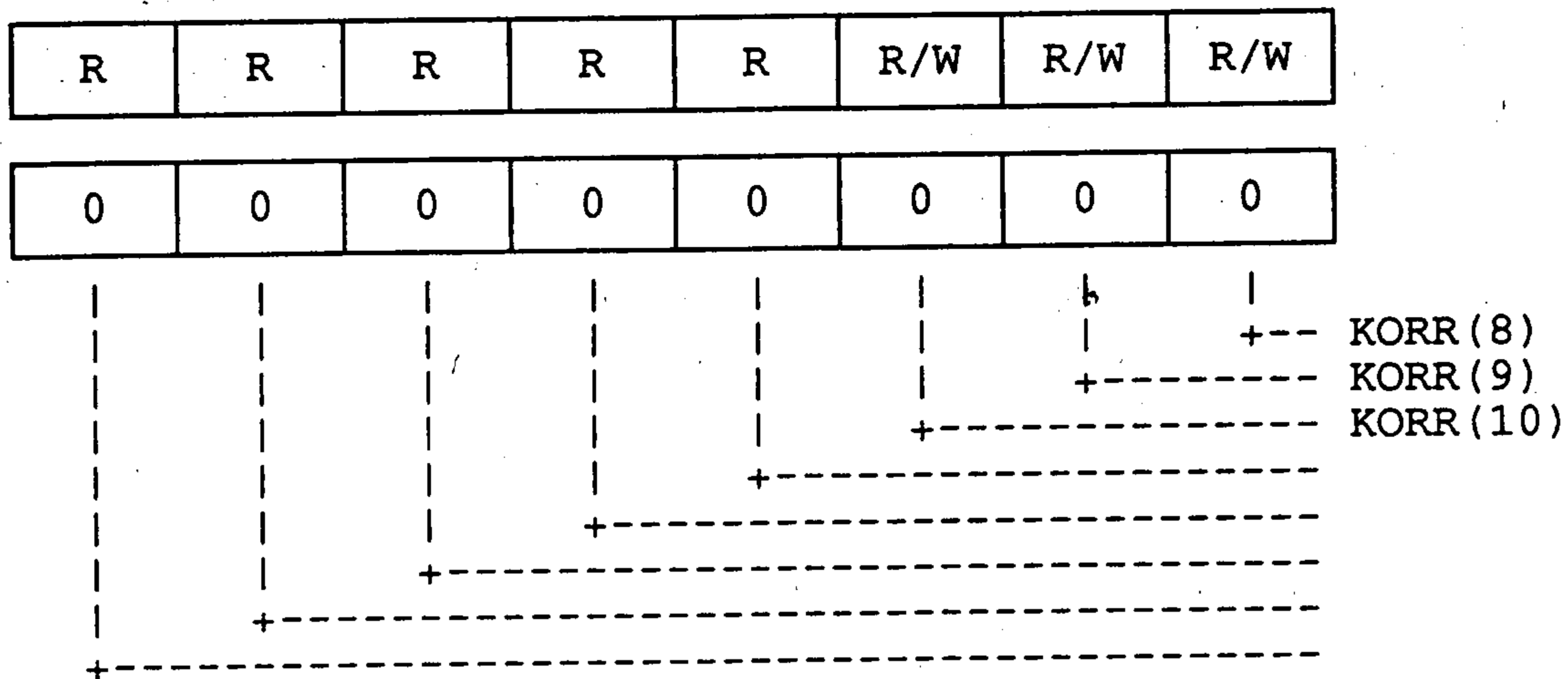
0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



Register : TXT_KORR_HIGH - TXT_KORR_HIGH

Adresse : E013

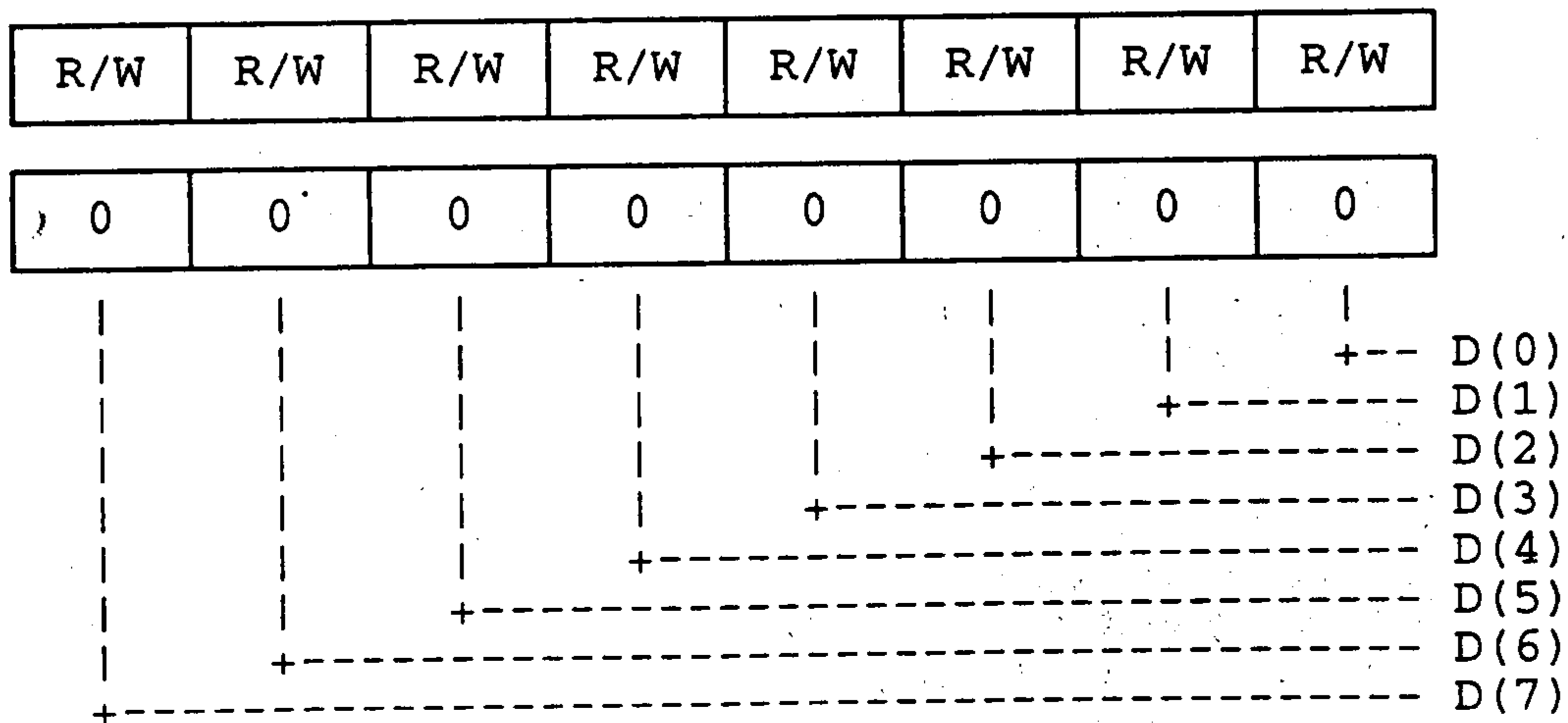
Kurzbeschreibung : High-Byte des Korrekturladeregisters KORR(10:0)



Register: FRAME_REG - FRAME_REG

Adresse : E00A

Kurzbeschreibung : Datenregister für ladebaren 8bitZähler, Wert kann zurückgelesen werden.



2.6. Bitshift

Funktionsbeschreibung

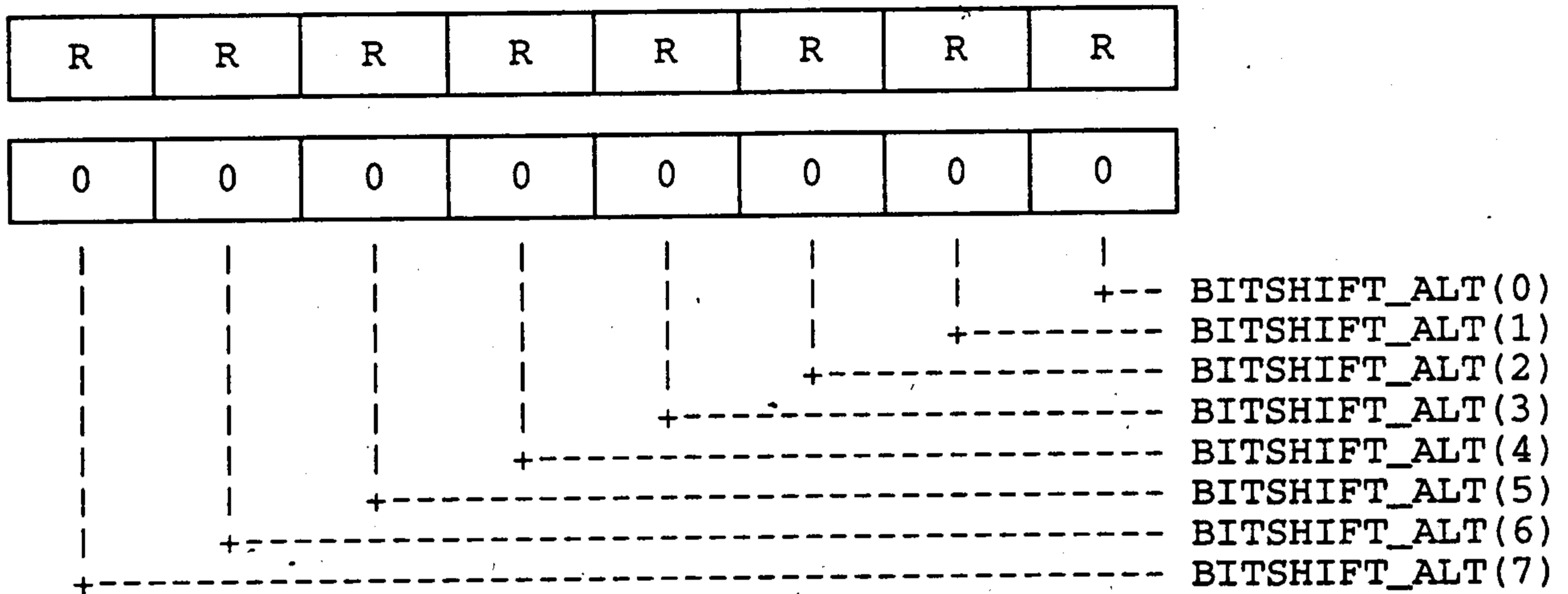
16bit seriell einlesen, Ausgabe paralell über 2*8bit Daten Latch

Registerbeschreibung

Register : REG0 - BITSHIFT_ALT

Adresse : E01C

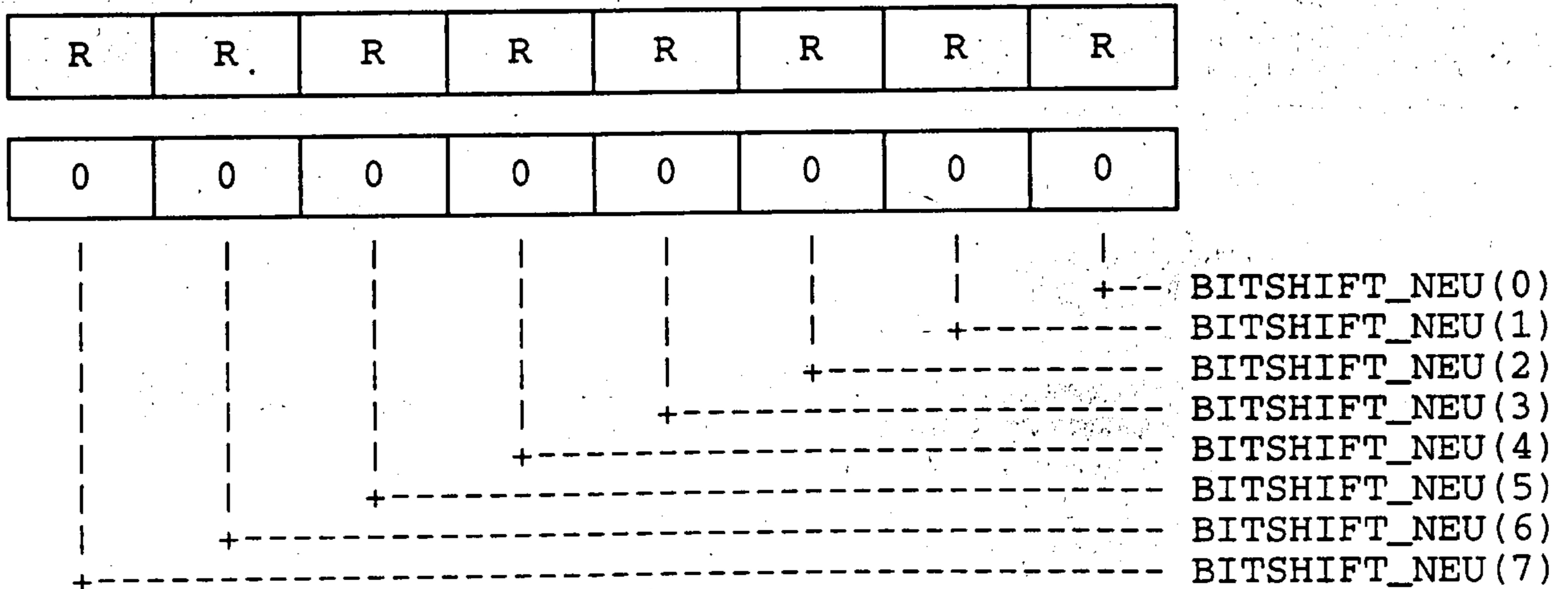
Kurzbeschreibung : Bitshift_alt



Register : REG1 - BITSHIFT_NEU

Adresse : E01D

Kurzbeschreibung : Bitshift_neu



Register : BITSHIFT/PARA4 - SEL_BITSHIFT

Adresse : E01E

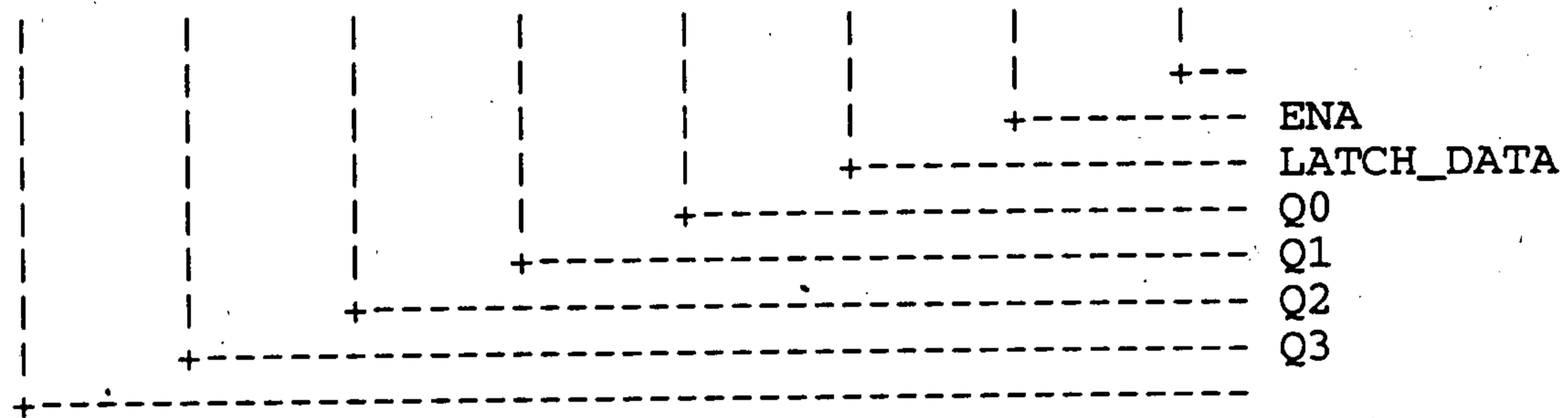
Kurzbeschreibung : Steuerung Datenlatch
Freigabe der Schiebefunktion

Änderung gegenüber der Vorgängerversion

Das Bit N4xC3z entfallen.

R	R	R	R	R	R/W	R/W	R
---	---	---	---	---	-----	-----	---

0	1	1	1	1	0	0	0
---	---	---	---	---	---	---	---



LATCH_DATA = 0 Latchen freigegeben
 = 1 Latchen gesperrt

ENA = 0 Clock gesperrt
 = 1 Clock freigegeben

Q(3:0) = Zählerstand des 4-Bit-Zählers

2.7. Flank

Funktionsbeschreibung
Latcht 11bit bei Flankenwechsel

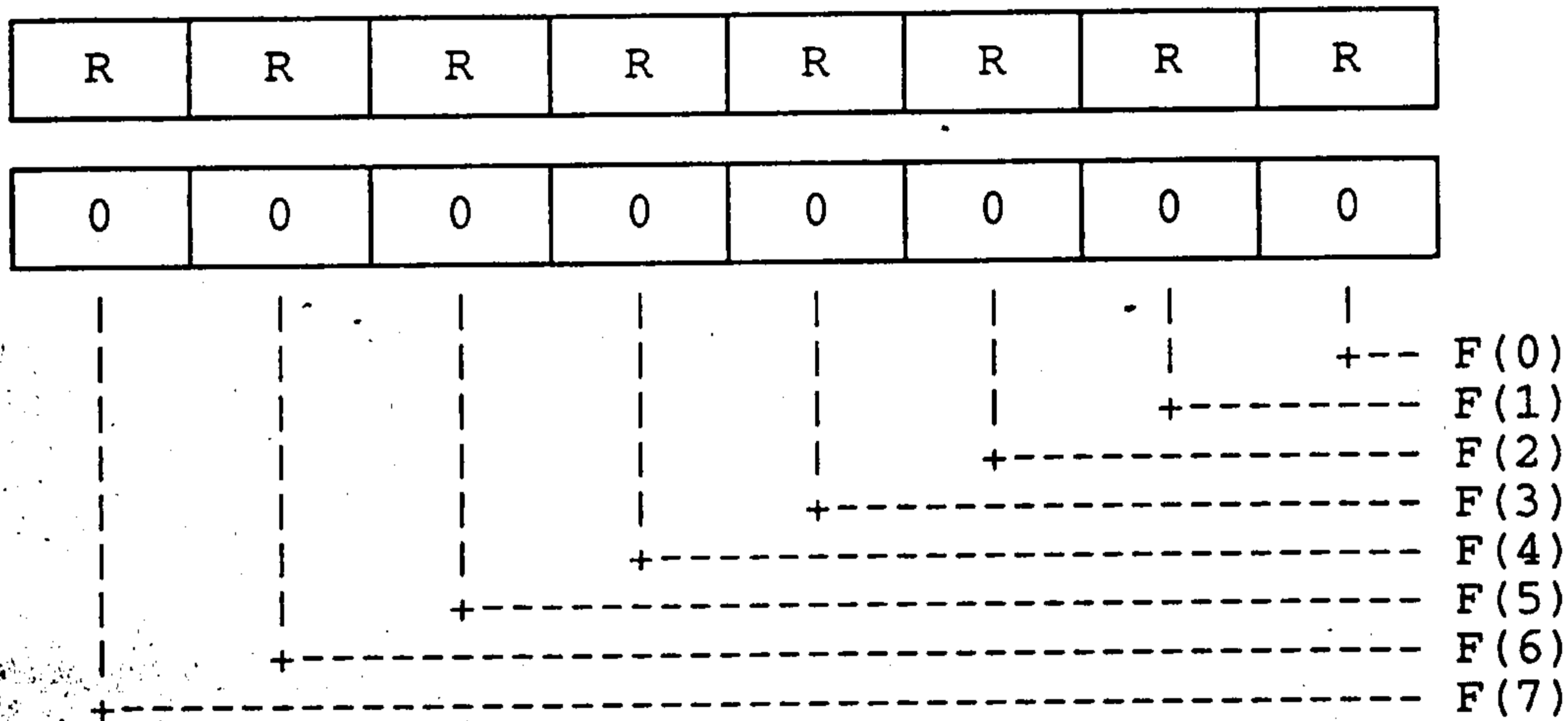
Achtung bei Reset: Bits werden bei Reset auf LOW gelegt.
Kommt jedoch nach dem Reset ein neue Flanke (INPUT RXBITVAL), so wird von RXT der invertierte Startwert der Register STAND_LOW /HIGH (nach Reset LOW - invertiert damit HIGH) an den Flankendaten ausgegeben (Bits F(0:10) werden HIGH).

Registerbeschreibung

Register : FLANKENDATEN_LOW - FLANKENREGISTER

Adresse : E018

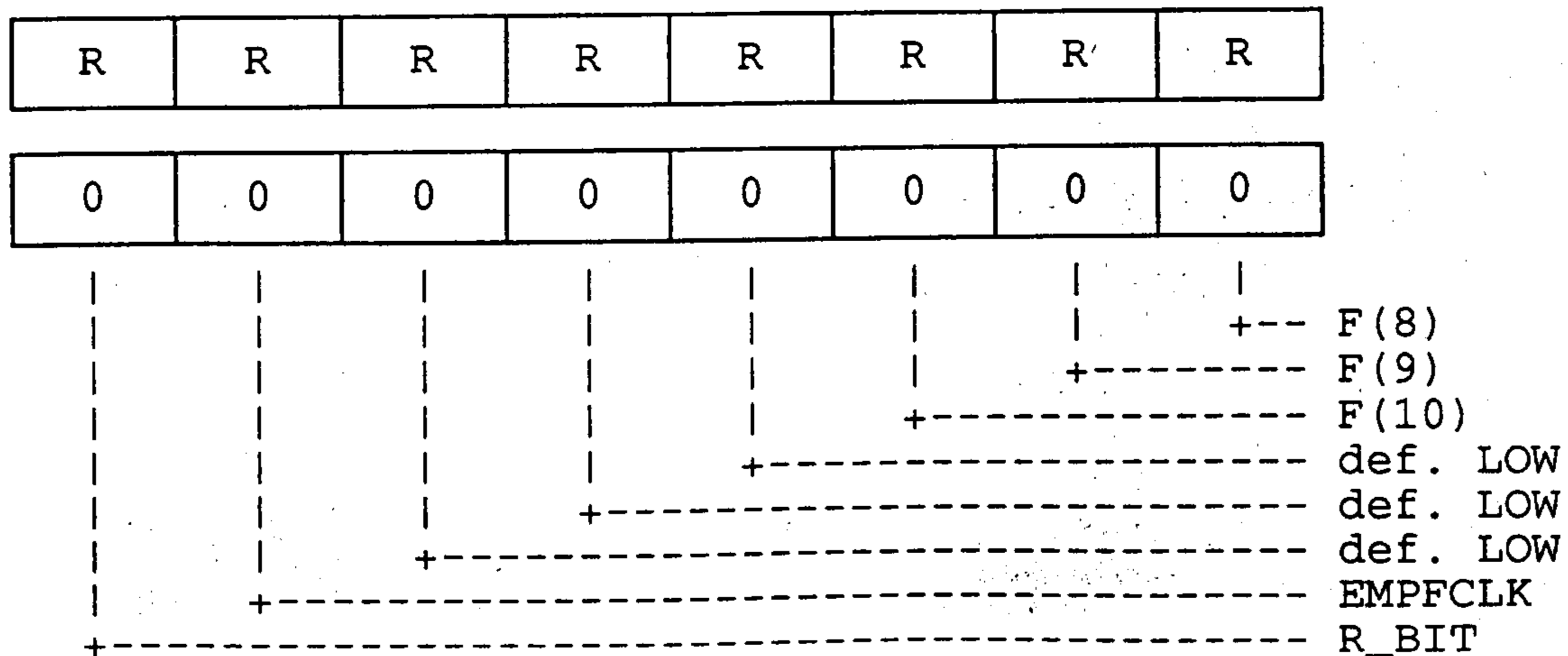
Kurzbeschreibung : Low-Byte der Flankendaten



Register : FLANKENDATEN_HIGH - S. O.

Adresse : E019

Kurzbeschreibung : High-Byte Flankendaten



2.8. Freq

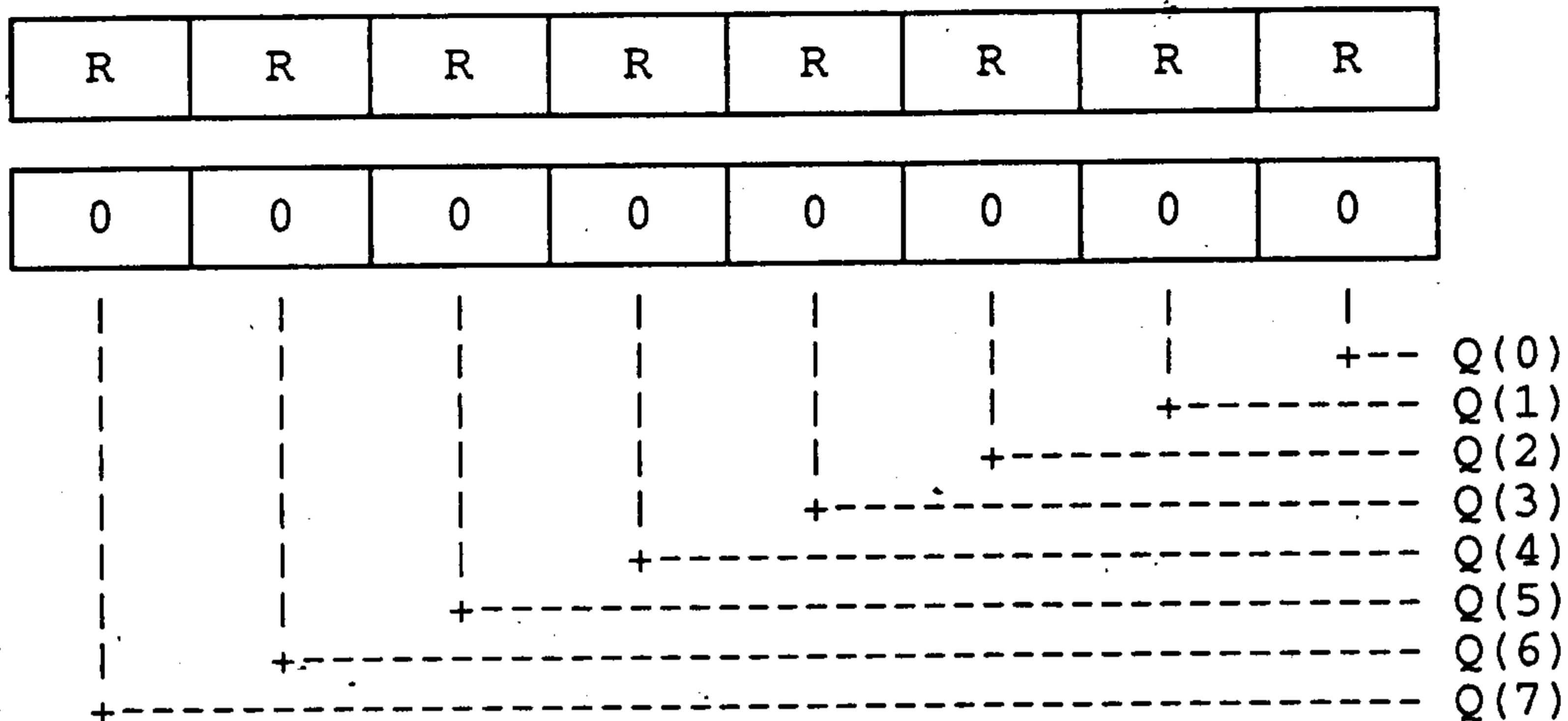
Funktionsbeschreibung
Frequenzmessung

Registerbeschreibung

Register : **FREQ_LOW - FREQUENZ_WERT**

Adresse : E00C

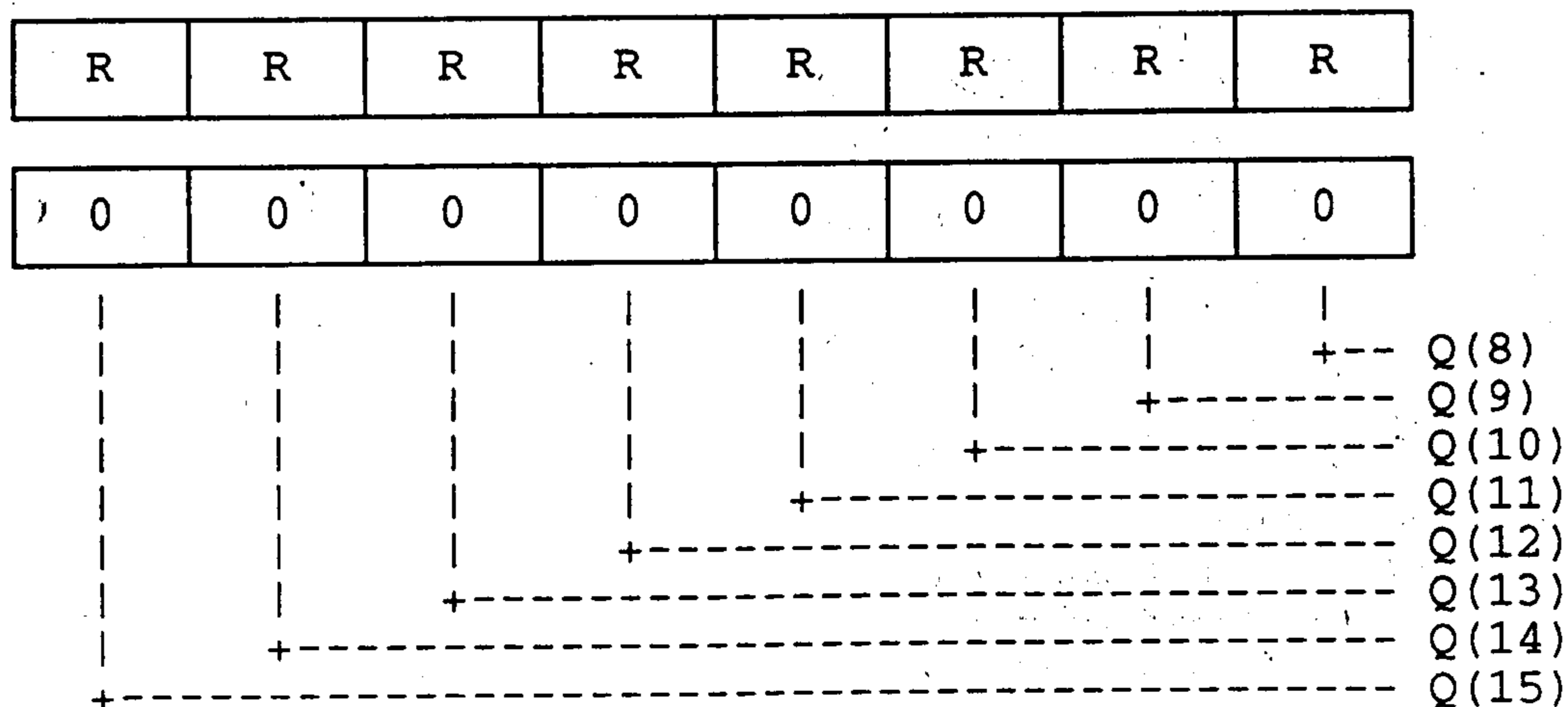
Kurzbeschreibung : Low-Byte Zählerstand Frequenzmessung Q(15:0)



Register : **FREQ_HIGH - S. O.**

Adresse : E00D

Kurzbeschreibung : High-Byte Zählerstand Frequenzmessung Q(15:0)



Register PARA6 - SEL_FREQ_MESS

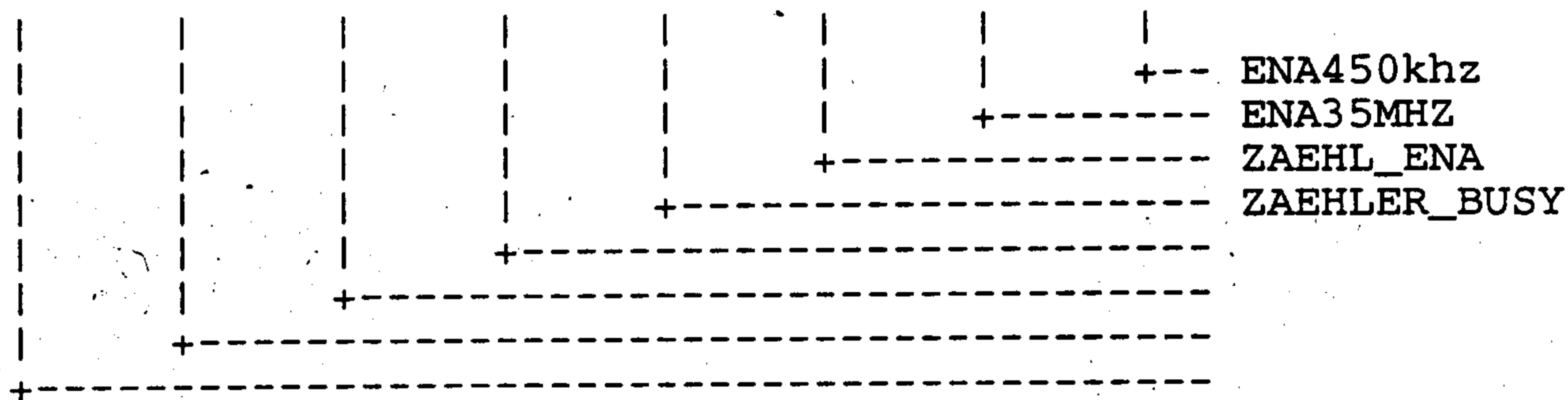
Adresse : E00E
 Kurzbeschreibung : Zähler freigeben/sperrern
 Auswahl der Zähhfrequenz

Änderung gegenüber der Vorgängerversion

Die Steuerbits in PARA6 haben sich teilweise geändert:
 FREQ_REF_ENA D0 umbenannt in ENA450KHz
 FREQ_MOD_ENA D1 umbenannt in ENA35MHZ
 FREQ_REF_ENA D4 ist entfallen

R	R	R	R	R	R/W	R/W	R/W
---	---	---	---	---	-----	-----	-----

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



ENA450KHZ = 0 CLK450KHZ abgeschaltet
 = 1 CLK450KHZ eingeschaltet
 ENA35MHZ = 0 CLK35MHZ abgeschaltet
 = 1 CLK35MHZ eingeschaltet
 ZAEHL_ENA = 0 Zaehler gesperrt
 = 1 Zaehler freigeben

Das Bit ZAEHLER_BUSY wird durch Beschreiben von FREQ_LOW und FREQ_HIGH vom Gatearray automatisch gesetzt. Solange der Zaehler aktiv ist, bleibt das Bit = 1. Nach Hochzählen auf Endwert wird das Bit zurückgesetzt.

2.9. PARA

Funktionsbeschreibung

Änderung gegenüber der Vorgängerversion

Die Steuerbits in PARA haben sich teilweise geändert:

NFEIN	D0	entfallen, jetzt Steuerung Universalpin
AIC_RSTZ	D1	entfallen, jetzt Steuerung Universalpin
AIC_MCLK_ENA	D2	entfallen, jetzt Steuerung Universalpin
FREQ_MOD_ON	D6	entfallen, jetzt Steuerung Universalpin
FREQ_IF_ON	D7	entfallen, jetzt Steuerung Universalpin

Universalpin: externer Pin am Gate-Array der über Parameterregister steuerbar ist.

Registerbeschreibung

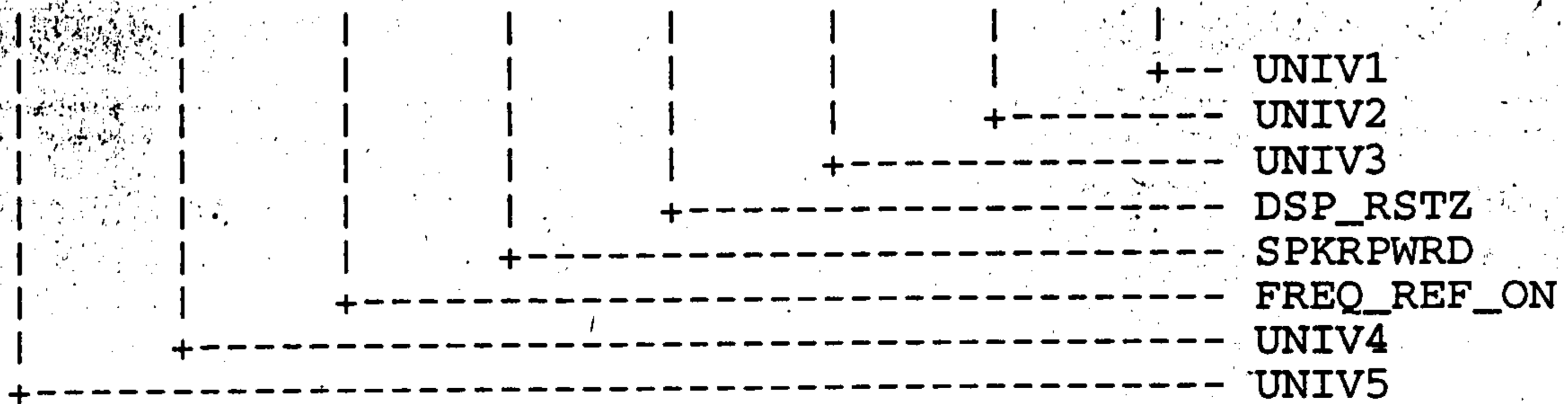
Register : PARA - SEL_NF_REG

Adresse : E000

Kurzbeschreibung : Setzen/Rücksetzen externer GA-Pins
Ein./-Ausschalten von FREQREF (Clk = 14.85 MHz)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-----	-----	-----	-----	-----	-----	-----	-----

0	0	1	0	0	0	0	0
---	---	---	---	---	---	---	---



FREQ_REF_ON = 0 Referenzclock 14.85 MHz abgeschaltet
= 1 Referenzclock 14.85 MHz eingeschaltet

Die Signale UNIV1, ..., UNIV5, DSP_RSTZ, SPKRPWRD sind Signale die an externen Pins des Gata-Arrays abgegriffen werden können.

DSP_RSTZ = 0 DSP_RSTZ gesperrt = $\overline{\text{RESET}}$ aktiv
= 1 DSP_RSTZ freigegeben

SPKRPWRD = 0 SPKRPWRD freigegeben = POWER down
= 1 SPKRPWRD gesperrt

2.10. I2C

Funktionsbeschreibung I2C Schnittstelle

Achtung:

Um ein Umschreiben der Software zu ersparen, wurde die frühere Schaltung mit den folgenden Designfehlern übernommen:

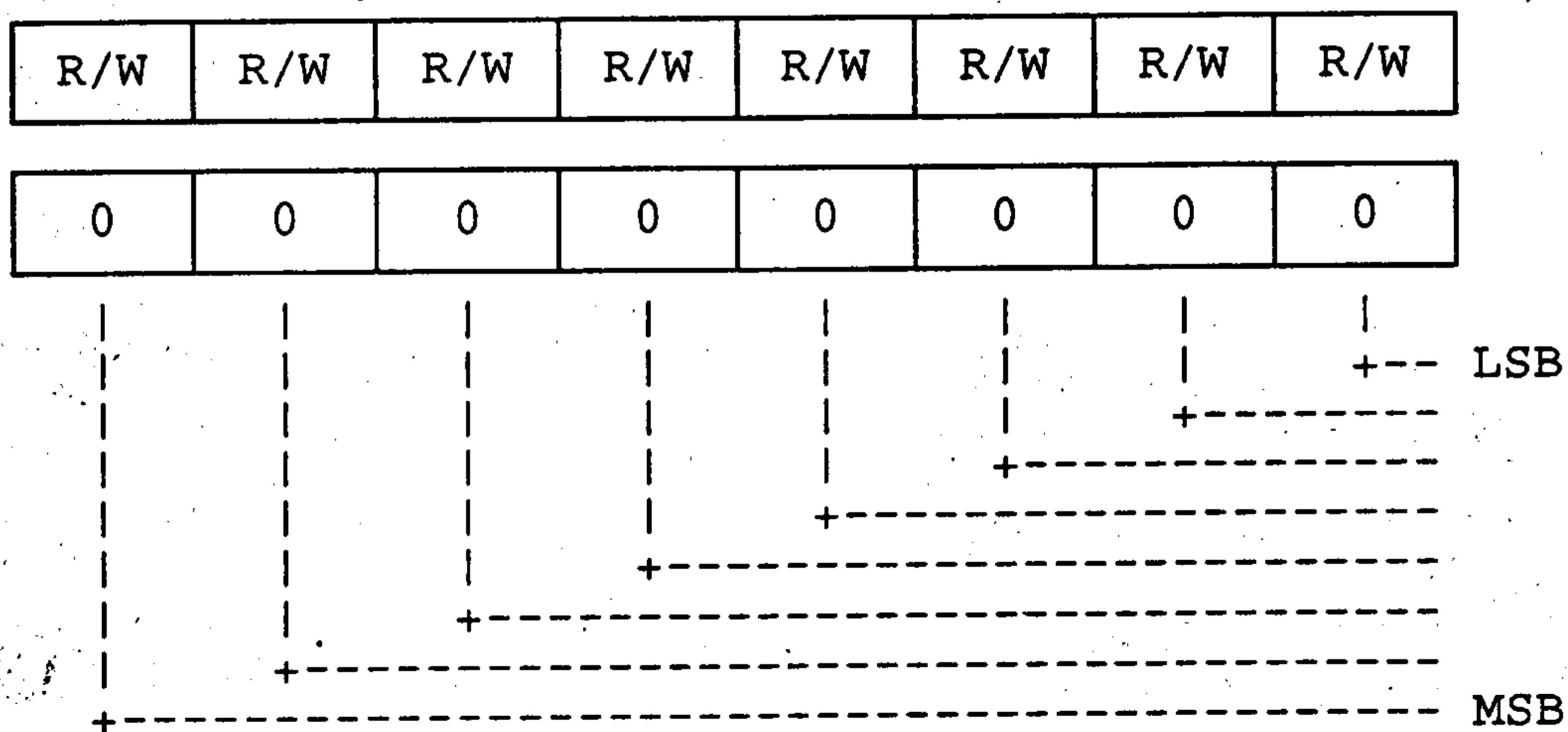
- das 1. zu übertragende Byte nach Generierung der Startbedingung wird immer fehlerhaft übertragen
- vor Empfangen eines Bytes muß das Datenregister immer mit FF initialisiert werden

Registerbeschreibung

Register : I2C_DATA - I2C_DATEN

Adresse : E002

Kurzbeschreibung : TX: Laderegister für zu sendendes Byte
RX: Leseregister für empfangenes Byte



Register : I2C_STATUS - I2C_STATUS

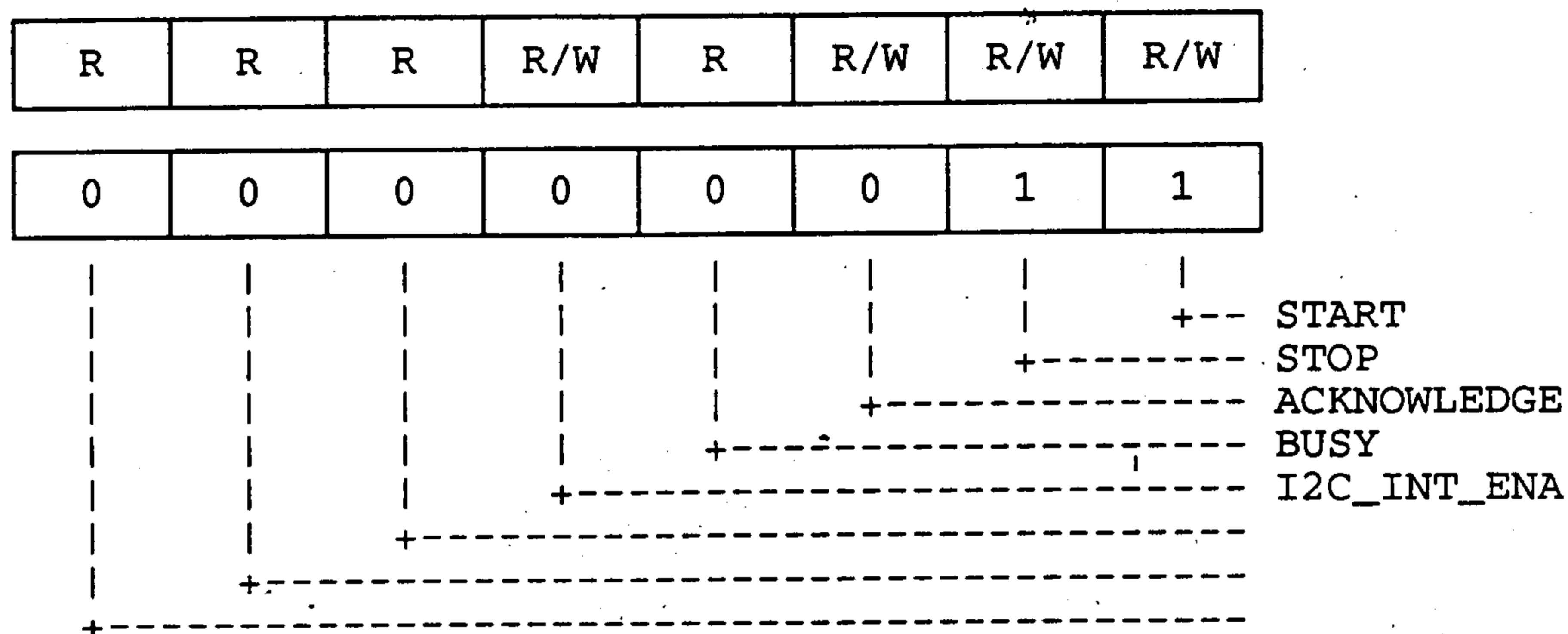
Adresse : E003

Kurzbeschreibung : Steuerung des Protokolls

Änderungen gegenüber früher

D(4) I2C_INT_ENA vorher R jetzt R/W !

D(5)..D(7) : früher selbe Bits wie im Datenregister (beim Lesezyklus). Jetzt sind die Bits auf "LOW".



Achtung : Die Bits START und STOP werden immer invertiert zurückgelesen !!!!!!!

- START = 0
- = 1 Generierung der Startbedingung
- STOP = 0
- = 1 Generierung der Stopbedingung
- ACKNOWLEDGE = 0 negatives Acknowledge
- = 1 positives Acknowledge
- BUSY = 0 keine Datenübertragung aktiv
- = 1 Datenübertragung aktiv
- I2C_INT_ENA = 0 Interrupt gesperrt
- = 1 Interrupt freigegeben

2.11. TAKT

Funktionsbeschreibung

Änderung gegenüber der Vorgängerversion

In der Vorgängerversion waren folgende Register enthalten:

CC_PARA E007
TAKT_PARA1 E001
TAKT_PARA2 E01A

Die Funktion dieser Register ist nun teilweise in den Registern

TAKT_PARA1 E001
TAKT_PARA2 E01A

implementiert. Der Block CC ist nun ein Unterblock von TAKT.
Die Adresse E007 wird nicht mehr ausdekodiert.

Registerbeschreibung

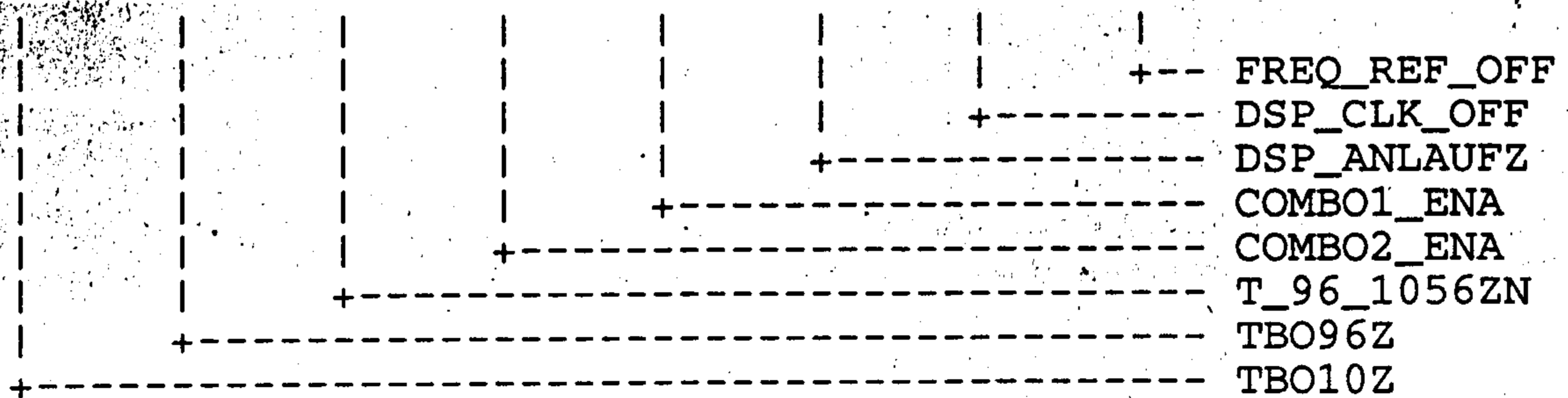
Register : TAKT/PARA1 - SEL_TAKTSTEUER

Adresse : E001

Kurzbeschreibung : Ein.-/Ausschalten von Takten
Teilereinstellung in der PLL

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-----	-----	-----	-----	-----	-----	-----	-----

0	0	1	0	0	0	0	0
---	---	---	---	---	---	---	---



FREQ_REF_OFF	= 0	Referenzclock 14.85 MHz eingeschaltet
	= 1	Referenzclock 14.85 MHz abgeschaltet
DSP_CLK_OFF	= 0	DSP_E_TAL eingeschaltet
	= 1	DSP_E_TAL abgeschaltet (statisch "L")
DSP_ANLAUFZ	= 0	Takt an DSPIRQA gesperrt = Anlauf und DSPIRQB = LOW
	= 1	Takt an DSPIRQA freigegeben und DSPIRQB = HIGH
COMBO1_ENA	= 0	DSPIRQAZ abgeschaltet (statisch "H") COMBO_FSR1 abgeschaltet (statisch "L") COMBO_BCLK1 abgeschaltet (statisch "L") COMBO_MCLK1 abgeschaltet (statisch "L")
	= 1	DSPIRQAZ eingeschaltet COMBO_FSR1 eingeschaltet COMBO_BCLK1 eingeschaltet COMBO_MCLK1 eingeschaltet
COMBO2_ENA	= 0	COMBO_FSR2 abgeschaltet (statisch "L") COMBO_BCLK2 abgeschaltet (statisch "L") COMBO_MCLK2 abgeschaltet (statisch "L")
	= 1	COMBO_FSR2 eingeschaltet COMBO_BCLK2 eingeschaltet COMBO_MCLK2 eingeschaltet
TX96_1056ZN	= 0	COMBO_MCLK1 eingeschaltet COMBO_MCLK2 abgeschaltet
	= 1	COMBO_MCLK1 abgeschaltet COMBO_MCLK2 eingeschaltet
TBO96Z	= 0	COMBO_MCLK2 direkt durchgeschaltet
	= 1	COMBO_MCLK2 zusätzlich durch 12 geteilt
TBO10Z	= 0	COMBO_MCLK1 direkt durchgeschaltet
	= 1	COMBO_MCLK1 zusätzlich durch 12 geteilt

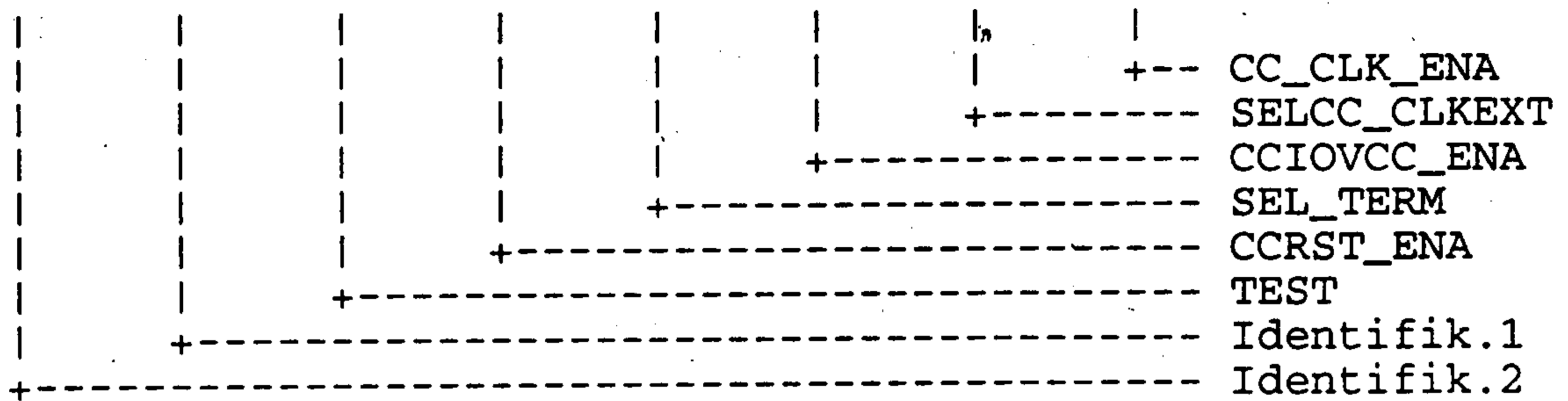
Register : TAKT/PARA2 - (SEL_C3_TAKT)

Adresse : E01A o. E01B

Kurzbeschreibung : Steuerung der CC-Schnittstelle
Bausteinidentifikation

R	R	R/W	R/W	R/W	R/W	R/W	R/W
---	---	-----	-----	-----	-----	-----	-----

0	1	0	0	0	0	0	0
---	---	---	---	---	---	---	---



CC_CLK_ENA = 0 CC_CLK abgeschaltet (statisch "L")
1 CC_CLK freigegeben

SELCC_CLKEXT = 0 CC_CLK wird intern erzeugt (14.85 MHz/3)
1 CC_CLK wird extern erzeugt (CC_MC_CLK)

CCIOVCC_ENA = 0 CCIOVCC abgeschaltet (statisch "L")
1 CCIOVCC = CCDETVCC

SEL_TERM = 0 CCIOOUT = CCIOIN
= 1 CCIOOUT = TERMIN

CCRST_ENA = 0 CCRST abgeschaltet (statisch "L")
1 CCRST = CCDETVCC

Identifik.1 = 1
Identifik.2 = 0

2.12 INTL

Register : INT_BITS - INT_BITS

Adresse : E008

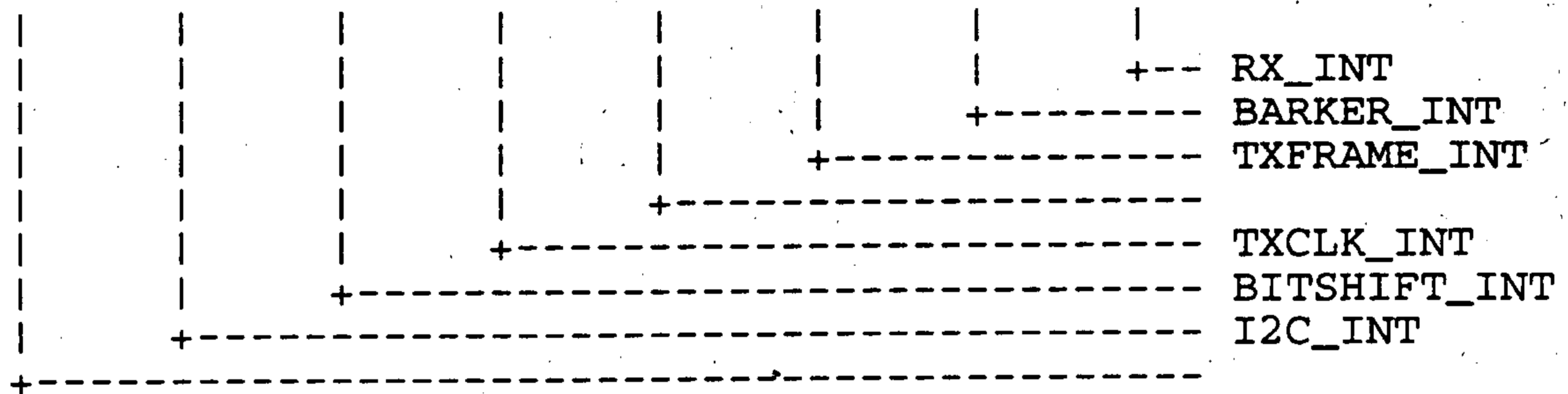
Kurzbeschreibung : Lesen der Interruptbits

Änderung

INT_FFSK D(3) fällt weg !

R	R	R	R	R	R	R	R
---	---	---	---	---	---	---	---

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



XX_INT = 0 Interrupt wurde nicht ausgelöst
 = 1 Interrupt wurde ausgelöst

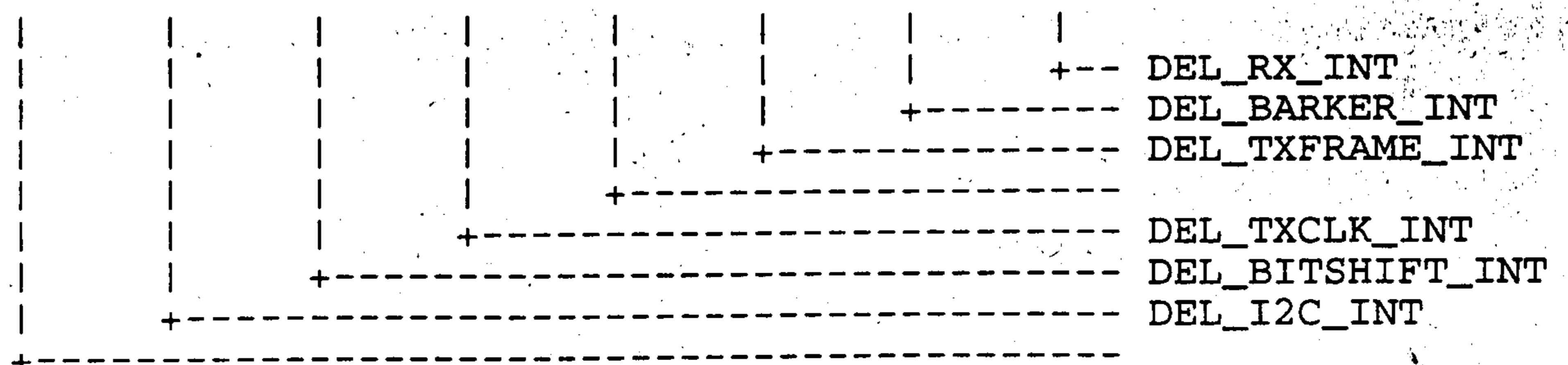
Register : DEL_INT_BITS - DEL_INT_BITS

Adresse : E009

Kurzbeschreibung : Löschen der Interruptbits

R	R/W	R/W	R/W	R	R/W	R/W	R/W
---	-----	-----	-----	---	-----	-----	-----

0	1	1	1	0	1	1	1
---	---	---	---	---	---	---	---



DEL_RX_INT = 0 Interrupt werden nicht gelöscht
 = 1 Interrupt werden gelöscht

Achtung : Die Bits DEL_RX_INT werden immer invertiert zurückgelesen !!!!!!!

Nach Setzen der DEL_XX_INT Bits durch den uP werden diese Bits automatisch (<300ns) zurückgesetzt. Dadurch erfolgt das Rücksetzen noch synchron zum 14.85Mhz - Takt.

2.13 PARATEST

NEU !

Register : PARATEST - PARATEST

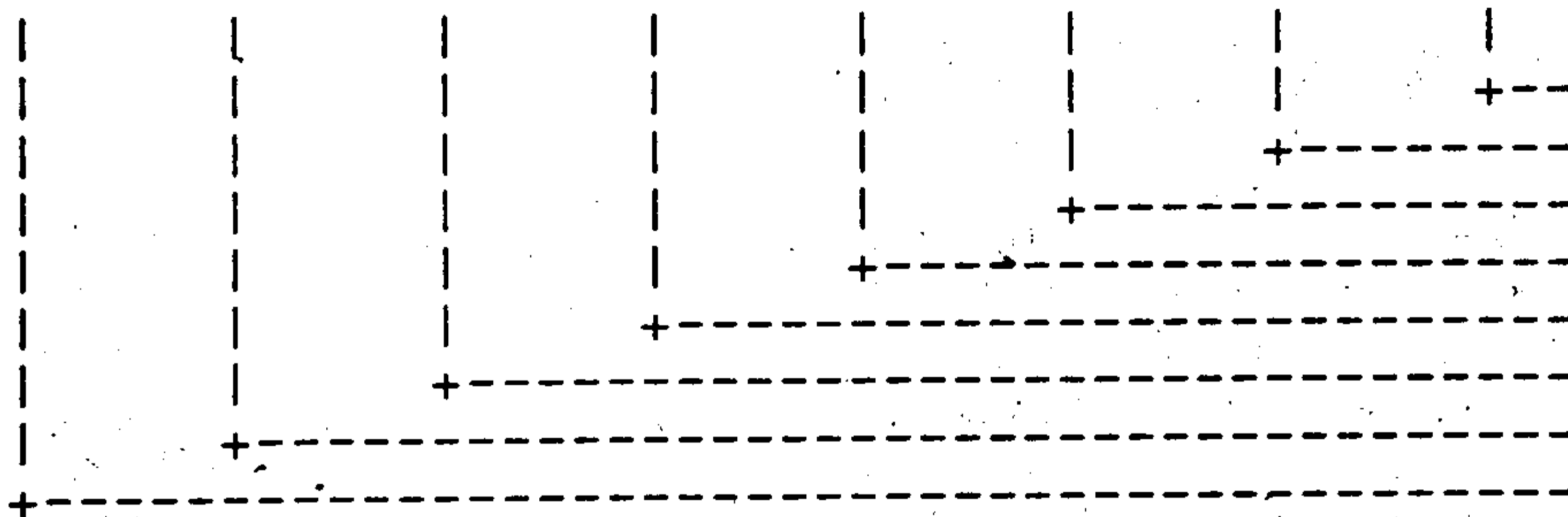
Adresse : E004 oder E005

Kurzbeschreibung : Freigabe TERMOUT und E2PROM

Neues Register

R	R	R	R/W	R/W	R	R	R
---	---	---	-----	-----	---	---	---

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---



- CTRL0 = 0 Das Chipselect E2PROM im Funktionsblock CSL ist freigegeben
- CTRL0 = 1 Das Chipselect für das E2PROM ist gesperrt.
- CTRL1 = 0 TERMOUT gesperrt.
- CTRL1 = 1 TERMOUT freigegeben.

Die Bits D(0:2) und D(5:7) sind nicht aktiviert und liegen immer auf LOW.
 Sie sind nur für Testzwecke (GATEARRAY - Hersteller) vorgesehen.
 Der externe Pin TEST sollte daher nicht auf HIGH gelegt werden. Er liegt im Gatearray mit einem PULL-DOWN Widerstand auf LOW.

3. Pinning

Gehaeuse: 100 Pin EIAJ Quad-Flatpack, Plastik

Name	Pin Nr.	Pull up/dn	I/O	Cell Type	Funktion/max. Freq.
VCCB3	1		VDB		
	2	n.c.			
RDZ	3	TTL	O	BUD3STA	Read
WRZ	4	TTL	O	BUD3STA	Write
CSEEPROMZ	5	TTL	O	BUD3STA	Chip Sel EPROM
CSXSRAMZ	6	TTL	O	BUD3STA	Chip Sel SRAM
CSE2PROZ	7	TTL	O	BUD3STA	Chip Sel E2PROM
CCRST	8	TTL	O	BUD3STA	Chip Card Reset
V25XCLK	9	TTL	O	BUD3STA	8MHz Clock
V25XCLKZ	10	TTL	O	BUD3STA	" "
DSPIRQAZ	11	TTL	O	BUD3STA	
DSPIRQBZ	12	TTL	O	BUD3STA	
DSPXRSTZ	13	TTL	O	BUD3STA	DSP Reset
DSPXHENZ	14	TTL	O	BUD3STA	DSP Host enable
BFBRX	15	TTL	O	BUDOUT	BF Bus receive
CCIOVCCO	16	TTL	O	BUDOUT	
VSSB3	17		VSB		
CCIOOUT	18	TTL	O	BU2OUTN	
CSXRES1Z	19	TTL	O	BUD3STA	Chip Sel Reserve
BFBTX	20		I	BUFTGMOS	BF Bus transmit
BFBI	21		I	BUFTGMOS	BF Bus in
TERMIN	22		I	BUFINCUP	Terminal in
CCDETVCCI	23		I	BUFTGMOS	
CCIOIN	24		I	BUFTGMOS	
TEST	25	PD	I	BUFINCDN	
A19	26	PU	I	BUFINCUP	Adressbus
A18	27	PU	I	BUFINCUP	Adressbus
A15	28	PU	I	BUFINCUP	Adressbus
	29	n.c.			
VCCA	30		VDA		
	31	n.c.			
A14	32	PU	I	BUFINCUP	Adressbus
A13	33	PU	I	BUFINCUP	Adressbus
A12	34	PU	I	BUFINCUP	Adressbus
A4	35	PU	I	BUFINCUP	Adressbus
A3	36	PU	I	BUFINCUP	Adressbus
A2	37	PU	I	BUFINCUP	Adressbus
A1	38	PU	I	BUFINCUP	Adressbus
A0	39	PU	I	BUFINCUP	Adressbus
DMAACK1Z	40		I	BUFTGMOS	DMA Acknowledge
DMAACK0Z	41		I	BUFTGMOS	DMA Acknowledge
RDXWRZ	42		I	BUFTGMOS	Read/Write select
MREQZ	43		I	BUFTGMOS	Memory Request
MSTBZ	44		I	BUFTGMOS	Memory Strobe
FMODEF	45	TTL	I	BUFINTTL	Mod. Freq. 35 MHz
FREFF	46	TTL	I	BUFINTTL	Ref. Freq. 14.85 MHz
IF450F	47	TTL	I	BUFINTTL	Zwischenfreq. 450kHz
CCXMCXC	48		I	BUFTGMOS	CC MC Clock
	49	n.c.			
	50	n.c.			

VSSA	51		VSA			
	52	n.c.				
RXBITVAL	53		I	BUFTGMOS		Receive Bit
RSTXGAZ	54		I	BUFTGMOS		Reset ganzen Chip
LOCAL	55	PD	I	BUFINCDN		Tristate-Control
CCXCLK	56		TTL O/Z	BUD3STA		Chipkartenclock
UNIV1	57		TTL O/Z	BUD3STA		Universal-Pin1
DACXSEL	58		TTL O/Z	BUD3STA		DAC select
DACXWRZ	59		TTL O/Z	BUD3STA		DAC write/read
CSXDACZ	60		TTL O/Z	BUD3STA		Chip Select D/A Wandler
UNIV2	61		TTL O/Z	BUD3STA		Universal-Pin2
UNIV3	62		TTL O/Z	BUD3STA		Universal-Pin3
SPKRPWRD	63		TTL O/Z	BUD3STA		
UNIV4	64		TTL O/Z	BU2OUTN		Universal-Pin4, open
drain						
RSTOUT	65		TTL O/Z	BUF3STA		Reset Out (fuer
Prozessor)						
COMXBCLK1	66		TTL O/Z	BUD3STA		COMBO B CLOCK 1
DSPXEXTL	67		TTL O/Z	BUFOUT		DSP-Takt 24MHz, 14
VCCB1	68		VDB			
I2CXCLK	69	PU	TTL I/O	BUFIOCUP		I2C Bus Clock
I2CXDATA	70	PU	TTL I/O	BUFIOCUP		I2C Bus Daten
DE7	71	PU	TTL I/O	BUFIOCUP		Datenbus
DE6	72	PU	TTL I/O	"		"
DE5	73	PU	TTL I/O	"		"
DE4	74	PU	TTL I/O	"		"
VSSB1	75		VSB			
EXTL	76		O	BUFOSTC		Quarz-Osz. 24MHz
XTAL	77		I	BUFINDIR		Quarz-Osz. (Eingang)
UNIV5	78		TTL O/Z	BUDOUT		Universal-Pin5
	79		n.c.			
VCCB2	80		VDB			
	81		n.c.			
DE3	82	PU	TTL I/O	GAXRD	BUFIOCUP	Datenbus
DE2	83	PU	TTL I/O	GAXRD	"	"
DE1	84	PU	TTL I/O	GAXRD	"	"
DE0	85	PU	TTL I/O	GAXRD	"	"
VSSB2	86		VSB			
BFBO	87		TTL O/Z	BU2OUTN		BF Bus Out
COMXMCLK1	88		TTL O/Z	BUD3STA		COMBO M CLOCK 1
COMXFSR1	89		TTL O/Z	BUD3STA		COMBO FSR 1
COMXFSR2	90		TTL O/Z	BUD3STA		COMBO FSR 2
COMXBCLK2	91		TTL O/Z	BUD3STA		COMBO B CLOCK 2
COMXMCLK2	92		TTL O/Z	BUD3STA		COMBO M CLOCK 2
TERMOUT	93		TTL O/Z	BUD3STA		Terminal Out
DSPXSCLK	94		TTL O	BUDOUT		DSP Clock
DMAXREQ1	95		TTL O	BUD3STA		DMA Request 1
DMAXREQ0	96		TTL O	BUD3STA		DMA Request 2
INT2Z	97		TTL O	BUD3STA		Interrupt 2
INT1Z	98		TTL O	BUD3STA		Interrupt 1

Erklärung I/O Cell Typen

UF3STA	Tri-state output buffer (fast), tp=3ns bei 50pF,
BUD3STA	Tri-state output buffer (low noise), tp=11.7ns bei 50pF
BUDOUT	Low noise output buffer tp=11.7ns bei 50pF,
BUFOUT	output buffer (fast) tp=2.9ns bei 50pF,
BUFINCUP	CMOS input buffer with pull-up
BUFINDIR	Direct input buffer
BUFINTTL	TTL input buffer
BUFIOCUP	Bidirectional buffer, CMOS input with pull-up, fast output, tp=3.3ns bei 50pF Last
BUFOSTC	CMOS oscillator input (fast output with trigger)
BUFTGMOS	CMOS input buffer with trigger
BUFINCDN	CMOS input buffer with pull-down
BU2OUTN	n-transistor output buffer